

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148331

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H01L 21/321

G23C 18/52

H01L 21/60

H05K 1/09

(21)Application number : 07-301154

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.11.1995

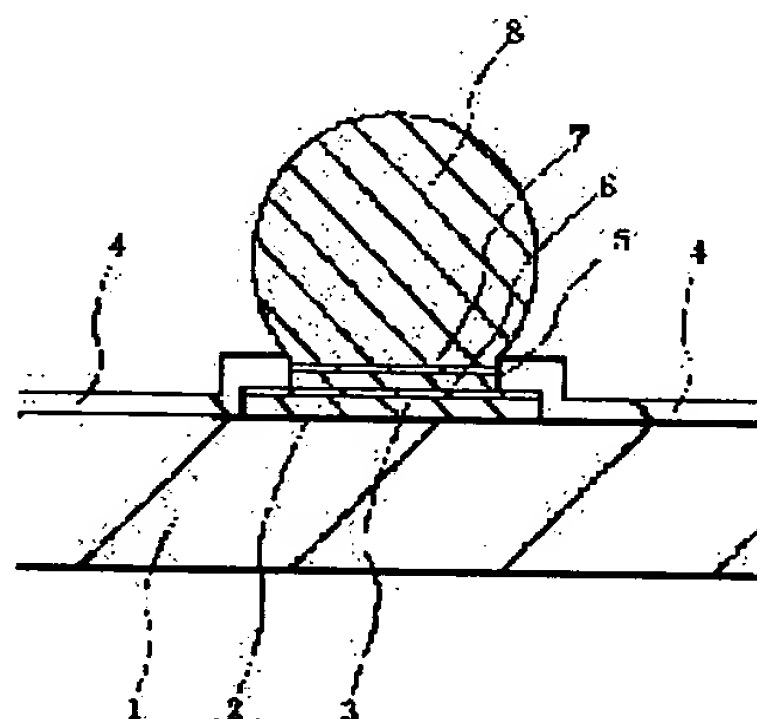
(72)Inventor : YOSHIDA IKUO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve productivity of the steps of forming a bump-underlying metal and a bump, to reduce manufacturing costs and to prevent increase of costs because of new plant and equipment.

**SOLUTION:** An intermediate layer 3 is formed out of tungsten on the upper layer of a wiring 2 formed on the major surface of a semiconductor substrate 1 to form a bump-underlying metal comprised of a first metallic layer 6 of nickel and a second metal layer 7 made of gold by electroless plating with stability. Before forming the substrate metal for bump, an inspection of water is made. After dicing the wafer, only semiconductor substrates 1 which are judged as conforming item by the inspection can go to the next step of forming the bump-underlying metal. Semiconductor chips judged as defective do not go to the next step.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-148331

(43) 公開日 平成9年(1997)6月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321			H 0 1 L 21/92	6 0 4 B
C 2 3 C 18/52			C 2 3 C 18/52	B
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
H 0 5 K 1/09			H 0 5 K 1/09	B
			H 0 1 L 21/92	6 0 2 H

審査請求 未請求 請求項の数9 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平7-301154

(22) 出願日 平成7年(1995)11月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 育生

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

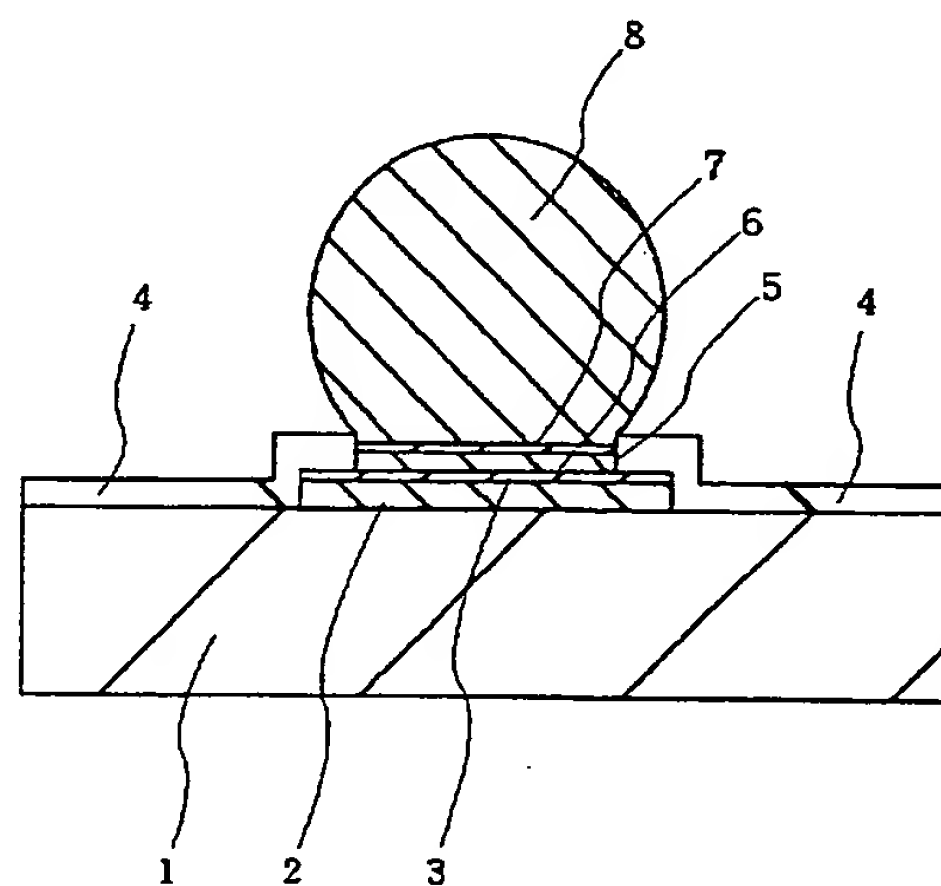
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 パンプ下地金属およびパンプ形成工程の生産効率の向上、製造コストの削減および新規設備の投資に伴うコスト上昇を抑制する。

【解決手段】 半導体基板1の主面上に形成された配線2の上層にタングステンからなる中間層3を形成することにより、ニッケルからなる第1金属層6と金からなる第2金属層7とで構成されるパンプ下地金属を、無電解メッキ法で安定に形成する。また、パンプ下地金属の形成前にウェハ検査を行い、ウェハをダイシングして分断した後、前記検査で良品と判定された半導体基板1にのみパンプ下地金属を形成する次工程に進め、不良品と判定された半導体チップは次工程の処理を行わない。

図 1



- |           |           |
|-----------|-----------|
| 1 : 半導体基板 | 5 : 開孔    |
| 2 : 配線    | 6 : 第1金属層 |
| 3 : 中間層   | 7 : 第2金属層 |
| 4 : 表面保護層 | 8 : パンプ   |

## 【特許請求の範囲】

【請求項1】 その主面に半導体集積回路素子が設けられた半導体基板と、  
前記半導体基板の主面上に形成され、前記半導体集積回路素子に接続される配線と、  
前記半導体基板および前記配線に接して形成された表面保護膜と、  
前記配線上の前記表面保護膜を開孔した表面保護膜の開孔部と、  
前記開孔部に形成され、または前記開孔部を覆って形成されたパンプ下地金属とを含む半導体集積回路装置であって、  
前記パンプ下地金属の下面には、パンプ下地金属を無電解メッキで形成するための中間層を形成したことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、  
前記中間層は、タングステン、モリブデン、クロムまたはチタンより選択された元素で構成される薄膜であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、  
前記パンプ下地金属は、無電解メッキ法により形成された、銅、ニッケル、コバルトまたは錫からなる第1金属層と、金、銀または白金からなる第2金属層とを含む積層金属膜であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置であって、  
前記中間層は、前記開孔部およびその開孔部周辺の前記表面保護膜の上面に形成されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置であって、  
前記パンプ下地金属の上にはPb・Sn合金、Sn・Ag合金またはAuからなるパンプが形成されていることを特徴とする半導体集積回路装置。

【請求項6】 その主面に半導体集積回路素子が設けられた半導体基板が、パンプ電極を用いて配線基板に接続される半導体集積回路装置の製造方法であって、

(a) 前記半導体基板に半導体集積回路素子を形成する工程、

(b) 前記半導体集積回路素子に接続される配線、および前記配線上にパンプ下地電極を無電解メッキで形成するための中間層を形成する工程、

(c) 前記半導体基板および前記中間層の上面に表面保護膜を形成した後、前記中間層を介して前記配線を外部に接続するための前記表面保護膜の開孔を形成する工程、

(d) 前記開孔が形成された前記中間層の表面に、無電解メッキ法を用いてパンプ下地電極を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 その主面に半導体集積回路素子が設けられた半導体基板が、パンプ電極を用いて配線基板に接続される半導体集積回路装置の製造方法であって、

(a) 前記半導体基板に半導体集積回路素子および前記半導体集積回路素子に接続される配線を形成する工程、

(b) 前記半導体基板および前記配線基板の上面に表面保護膜を形成した後、前記配線を外部に接続するための前記表面保護膜の開孔を形成する工程、

(c) 前記開孔の形成された開孔部または前記開孔部とその周辺を含む領域にパンプ下地電極を無電解メッキで形成するための中間層を形成する工程、

(d) 前記中間層の表面に、無電解メッキ法を用いてパンプ下地電極を形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項6または7記載の半導体集積回路装置の製造方法であって、

前記(d)パンプ下地金属を形成する工程の前に、

(e) 前記半導体基板に形成された半導体集積回路の検査を行った後、ダイシングにより前記半導体基板を分断して半導体チップとし、前記検査により良品と判定された半導体チップを選別する工程、

を有し、前記検査により良品と選別された半導体チップのみを、次工程である前記(d)パンプ下地金属を形成する工程以降の工程に進めることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項6、7または8記載の半導体集積回路装置の製造方法であって、

前記(d)パンプ下地電極を形成する工程の後に、パンプ形成用基板に形成されたパンプを前記パンプ下地金属の上に転写した後、リフローを行なってパンプ電極を形成するパンプ電極形成工程を有することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、半導体チップが突起電極(パンプ)により配線基板に実装された半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】フリップチップ方式やテープキャリア方式等の接続方式において、半導体チップとセラミック基板や樹脂基板等の配線基板との電気的接続に突起電極が使用される。

【0003】この突起電極を有する半導体チップの実装は、CCB(Controlled Collapse Bonding)実装およびTAB(Tape Automated Bonding)実装として知られている。

【0004】突起電極は、その突起部分がPbSn合金等からなるバンプで構成され、その下地にバンプ下地金属(BLM)を介在させて設置するようになっているのが一般的である。バンプ下地金属には多層金属膜が用いられ、Cr/Cu/Au, Cr/Ni/Au, Ti/Cu/Au, Ti/Ni/Au等の組み合わせが知られている。バンプ下地金属は、スパッタ法等の薄膜形成法により形成された後、パターンニングされたフォトリジストをマスクとしてエッチングされ、バンプはパターンニングされたレジストをマスクとして、あるいは金属マスクを使用して蒸着等により形成されるのが一般的である。

【0005】なお、バンプやバンプ下地金属について述べた文献の例としては、1980年1月15日、工業調査会発行、「IC化実装技術」p175およびp84や、昭和59年11月30日、株式会社オーム社発行、「LSIハンドブック」p409~p410がある。

【0006】また、突起電極の形成を低価格で実現することを目的として、バンプ下地金属の形成を、その形成すべき領域の配線を亜鉛化した後、無電解メッキで形成する技術が、1995 Flip Chip, BGA, TAB & AP Symposium, pp16~21, "Low cost bumping process for flip chip"に開示されている。

【0007】

【発明が解決しようとする課題】従来技術の場合には、バンプ下地金属およびバンプの形成は、フォトリソスを前提とするため、半導体プロセスの前工程同様、ウェハ単位で処理されることとなる。そのため、ウェハ内に不良箇所が存在しても、それを良品箇所と分別することなく、同時に処理を行わなければならない。すなわち、本来それ以降の工程を継続する必要のない不良箇所に対しても、バンプ下地金属およびバンプの形成工程を継続して行わねばならないため、無駄な材料費および製造経費が発生し、製造コストの上昇要因となる。

【0008】また、低価格化を目的とした無電解メッキ法によるバンプ下地金属は、それが形成される半導体チップのアルミニウム配線表面を、亜鉛化処理(Alkaline zincating)する必要があり、工程が複雑となる。

【0009】さらに、ウェハ処理を前提とした場合、ウェハサイズの増大に伴い、大口径ウェハに対応した新規設備を必要とし、この設備投資に対する償却に伴う製品コストの上昇を来すこととなる。

【0010】本発明の目的は、バンプ下地金属およびバンプ形成工程における不良領域への処理または加工を排除して、その工程の生産効率を向上し、製造コストを削減することにある。

【0011】本発明の他の目的は、低価格化実現に有効と考えられる無電解メッキ法を、亜鉛化処理等の複雑な工程を経ることなく、安定に実現できる技術を提供し、工程の簡略化、短縮化を実現することにある。

【0012】本発明のさらに他の目的は、ウェハサイズ

の増大に関わりなく、従来の設備を継続して使用することが可能なバンプ下地金属およびバンプ形成工程を開発することにより、新規設備の投資に伴うコスト上昇を抑制することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】すなわち、本発明の半導体集積回路装置は、半導体基板に形成されたバンプ下地金属と配線との間に、バンプ下地金属を無電解メッキで形成するための中間層を形成したものである。

【0016】このような中間層を形成することにより、バンプ下地金属を無電解メッキ法で安定に形成することが可能となる。無電解メッキ法はウェハ単位の処理を前提とせず、ウェハを半導体チップに分断した後でもその処理が可能であるため、選別された良品チップのみに対してバンプ下地金属の形成およびバンプの形成が可能となる。これによりウェハ内の不良部分への無駄な処理を無くし、コストの削減に寄与することができる。

【0017】上記の中間層は、半導体基板の電極部分に形成されるため、導電性材料であることが好ましく、少なくとも半導電性材料であることが必要である。また、前記中間層は、その次工程で形成されるニッケル等のバンプ下地金属を無電解メッキ法で良好に堆積できる材料である必要がある。無電解メッキ法における析出初期の段階では、元素置換型の析出が進行すると考えられるため、前記中間層は、被メッキ物であるバンプ下地金属を構成する元素よりもイオン化傾向が大きい元素で構成されることが必要である。一方、大気中で安定に存在し、酸化されにくい材料であることも必要である。上記要件を満たすものとして、単元素材料の場合は、周期律表においてIVa族からVIII族の間にある元素(ニッケル、パラジウム、白金を除く)で構成される材料が適当である。これらの元素はニッケルよりもイオン化傾向が大きく、また比較的安定な元素である。

【0018】また、本発明の半導体集積回路装置は、バンプ下地金属と配線との間に形成された中間層を、タングステン、モリブデン、クロムまたはチタンより選択された元素で構成される薄膜としたものである。

【0019】中間層を、特に、タングステン、モリブデン、クロムあるいはチタンとすることにより、バンプ下地金属をさらに安定に形成することが可能となる。すなわち、前記材料はニッケル等のバンプ下地金属よりもイオン化傾向が大きく、かつ比較的安定な材料であることに加えて、適当な活性化処理により表面が清浄化され、メッキに適した表面とすることができるからである。



【0020】また、本発明の半導体集積回路装置は、パンプ下地金属を2層以上の積層金属膜とし、第1金属層を無電解メッキ法により形成された銅、ニッケル、コバルトまたは錫よりなるメッキ層とし、第2金属層を同様に無電解メッキで形成された金、銀または白金よりなるメッキ層としたものである。

【0021】このように、パンプ下地金属を積層金属膜とし、表面層（第2金属層）を金、銀または白金のような貴金属とすることにより、後にこのパンプ下地金属上にパンプを形成してリフローすることにより突起電極が形成されるまで、パンプ下地金属が酸化等変質することなく安定に存在することとなる。その結果リフローの信頼性を向上させることが可能となる。また、前記したタングステン、モリブデン、クロムあるいはチタン等の中間層の上層に形成されるパンプ下地金属の第1金属層をニッケル、コバルトまたは錫とすることにより、この第1金属層を無電解メッキで安定に形成することが可能となる。

【0022】なお、第2金属層である貴金属は、第1金属層であるニッケル、コバルトまたは錫よりもイオン化傾向は小さく、それら第1金属層を構成する材料の上に安定な無電解メッキ層を形成することが可能である。これにより、パンプ下地金属は、第1金属層および第2金属層ともに、生産性が有利な無電解メッキ法で形成することが可能である。

【0023】また、本発明の半導体集積回路装置は、パンプ下地金属の下層に形成される中間層が、配線を接続するために開孔した表面保護膜の開孔部、およびその開孔部周辺の表面保護膜の上面に形成されたものである。すなわち、前記中間層を前記開孔部に限らず、開孔部周辺の表面保護膜上にも形成するものである。

【0024】このような半導体集積回路装置とすることにより、前記開孔部が微小な場合であっても、ウェハ切断前のデバイス検査を容易に行うことが可能となる。すなわち、集積度の向上に伴って配線寸法は微細化され、突起電極を形成するパット部分も微小化する傾向にある。そのため、マイクロプローブ等の針電極を前記パット部に接触させて測定を実行するウェハ分断前の検査において、その針電極の接触がパット部面積の縮小に伴い困難となる。そこで、本発明の半導体集積回路装置は、前記中間層をその開孔部周辺の表面保護膜上にも形成し、実質的に検査用パットとして機能させることにより前記問題を解決したものである。さらに、パンプ下地金属およびパンプを後に形成する際に必要となる一定の面積を確保できるという効果も有する。

【0025】また、本発明の半導体集積回路装置は、上記のパンプ下地金属の上に形成されるパンプの材料をPb・Sn合金、Sn・Ag合金またはAuとするものである。

【0026】このような材料を用いることによって、上

記のパンプ下地金属とパンプとは、リフロー工程で互いに溶融し、密着性および信頼性に優れた突起電極を形成することができる。

【0027】また、本発明の半導体集積回路装置の製造方法は、半導体基板に半導体集積回路素子を形成した後、この半導体集積回路素子に接続される配線およびパンプ下地電極を無電解メッキで形成するための中間層を形成し、その後表面保護膜を形成して、必要箇所に開孔を設け、その開孔部に露出した前記中間層の上層にパンプ下地金属を無電解メッキ法で形成するものである。

【0028】このような半導体集積回路装置の製造方法を用いると、パンプ下地金属を無電解メッキ法で安定に形成することができ、また、前記中間層を配線と同時に形成するため、製造工程を簡略化することが可能となる。

【0029】ここで、配線はアルミニウムまたはその合金を用いることができ、中間層は前記した通りタングステン、モリブデン、クロムあるいはチタンを用いることができる。配線と中間層はともにスパッタ法により連続した工程で基板全面に膜形成を行なって積層膜を形成し、その後フォトリソストを用いて同時にエッチングしてパターンニングすることが可能である。

【0030】また、本発明の半導体集積回路装置の製造方法は、半導体基板に半導体集積回路素子およびそれに接続される配線を形成した後、表面保護膜を形成して必要な開孔を形成し、その後、その開孔部に露出した配線の上面および開孔部周辺の前記表面保護膜の上面にパンプ下地電極を無電解メッキで形成するための中間層を形成し、その中間層の表面にパンプ下地金属を無電解メッキ法で形成するものである。

【0031】このような半導体集積回路装置の製造方法によれば、集積度向上に伴う配線の微細化に対応して前記表面保護膜の開孔が微小化しても、前記配線に電気的に接続される中間層は、前記表面保護膜の開孔の面積に関わらず、必要な面積を確保することが可能となる。

【0032】また、本発明の半導体集積回路装置の製造方法は、前記した製造方法においてパンプ下地金属を形成する工程の前に、形成された半導体集積回路の検査を行ない、ダイシングにより前記半導体基板を分断して半導体チップとし、前記検査により良品と判定された半導体チップのみを選別して次工程に流すことを特徴とするものである。

【0033】このような半導体集積回路装置の製造方法によれば、パンプ下地金属およびパンプ形成工程の前に、良品のみが選別され、不良品を処理することがなくなるため、工程の無駄を省くことが可能となり、製造コストを低くすることができる。また、パンプ下地金属を形成する工程以降の工程では、半導体チップ単位での処理となるため、使用する装置を半導体基板サイズの拡大に対応して新たに導入する必要がなく、製造コストを抑

制することが可能となる。

【0034】また、本発明の半導体集積回路装置の製造方法は、パンプ下地電極を形成した後、転写パンプ法でパンプを形成するものである。

【0035】このような半導体集積回路装置の製造方法では、転写パンプ法を用いることにより半導体チップ毎のパンプ形成処理に比較的容易に対応することが可能となり、工程の簡略化とコストの削減に寄与することができる。

【0036】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0037】（実施の形態1）図1は、本発明の半導体集積回路装置の実施の形態の一つである突起電極の一例を示した部分断面図である。

【0038】ウェハ状態の半導体基板1の主面上に、図示しない半導体集積回路素子が形成され、その半導体集積回路素子に接続される配線2と、その配線2の上層に中間層3とが形成されている。

【0039】前記半導体基板1ならびに配線2および中間層3を覆って表面保護膜4が形成されており、表面保護膜4の突起電極が形成される部分には前記配線2および中間層3と電気的接触を確保するための開孔5が設けられている。

【0040】開孔5が設けられた領域の前記中間層3の上層にはパンプ下地金属が形成されている。パンプ下地金属は、第1金属層6と第2金属層7とから構成され、パンプ下地金属の上にはパンプ8が形成されている。

【0041】半導体基板1は単結晶シリコンからなる。配線2はアルミニウムまたはアルミニウムを主成分とする合金からなり、その上層もしくは下層に、チタン、クロム、タングステン、モリブデン、窒化チタン等の単体物および化合物をバリアー層として形成してもよい。

【0042】中間層3は、パンプ下地金属を無電解メッキ法で形成するために設けるものであり、タングステン、モリブデン、クロムおよびチタンが例示されるが、これらに限定されるわけではなく、パンプ下地金属が安定に形成されるものであればよい。パンプ下地金属が安定に形成されるための条件は、すでに記載したように、その下地となる中間層3を構成する元素のメッキ溶液中でのイオン化傾向が、パンプ下地金属を構成する元素のイオン化傾向より大きく、かつ、中間層3の表面が酸化等され難く、安定に存在するか、もしくは中間層3の表面が活性化されやすい、というものである。本実施の形態では、一例として、中間層3はタングステンとする。

【0043】表面保護膜4は、プラズマCVD法、あるいはSOG法で形成された酸化シリコン膜とすることができる。開孔5の大きさは60 $\mu$ m $\square$ とする。

【0044】パンプ下地金属の第1金属層6は、無電解メッキ法により形成され、材料としては銅、ニッケル、コバルト、錫が例示されるが、これに限られるわけではなく、前記中間層3の上に無電解メッキ法で形成されるものであればよい。第1金属層6が無電解メッキ法で形成されるためには、適当な溶液に溶解する金属塩と還元剤、補助成分としてのpH調整剤、緩衝剤、錯化剤、促進剤、安定剤および改良材等が必要である。これらの要件を満たすものとして、前記材料が例示される。本実施の形態では、第1金属層6としてニッケルを用い、膜厚は、たとえば2 $\mu$ mとすることができる。

【0045】第2金属層7も、第1金属層6と同様に無電解メッキ法により形成され、材料としては金、銀、白金が例示される。この第2金属層7を形成する無電解メッキ法で使用する金属塩は、イオン化傾向が小さいものであり、形成された金属膜は非常に安定なものであるため、リフロー工程に至るまでパンプ下地金属を安定に保ち、リフロー信頼性を高くして実施できるものである。また、リフロー工程でのハンダの濡れ性をよくする作用も有する。本実施の形態では金を用い、膜厚は、たとえば0.1 $\mu$ mとすることができる。

【0046】パンプ8は、Pb・Sn合金、Sn・Ag合金または金からなる。本実施の形態ではCCBパンプに一般的に用いられるPb・Sn合金を用いる。

【0047】なお、パンプ8をリフローにより溶融させた後は、パンプ下地金属の第2金属層7である金はPb・Sn合金内に溶け込み、パンプ下地金属の第1金属層6であるニッケルの一部はNi・Sn合金と化してパンプ8と接合される。

【0048】次に、上記突起電極の具体的な製造方法の一例を図2～図5を用いて説明する。なお、半導体基板1の主面に形成されるCMOS等の半導体集積回路素子の製造工程（いわゆる前工程）は、周知の技術であるので省略し、本実施の形態では前工程の最終段階である配線2の形成工程以降の工程を主に説明する。

【0049】まず、周知の製造方法にしたがって、半導体基板1の主面に半導体集積回路素子（図示せず）を形成し、配線を接続するための接続孔を開孔する。

【0050】その後、半導体基板1の全面に配線材料となる、たとえばアルミニウムもしくはアルミニウム合金からなる金属膜10をスパッタ法もしくは真空蒸着法で形成し、さらにその上層に中間層となる、たとえばタングステンからなる薄膜11をスパッタ法で形成する（図2）。

【0051】次に、薄膜11の上にフォトリソ（以下単にレジストという）からなるレジストパターンを形成し、このレジストパターンをマスクとして薄膜11および金属膜10をエッチングし、配線2および中間層3を形成する（図3）。エッチングはフッ素系ガスを用いたドライエッチングまたはリン酸および硝酸を主成分と

した混酸系のエッチャントを用いたウェットエッチングにより行うことができる。

【0052】次に、前記レジストパターンを除去した後、配線2および中間層3が形成された半導体基板1の全面に、酸化シリコンからなる表面保護膜4を、たとえばプラズマCVD法、SOG法あるいは熱CVD法で形成する。その後、前記中間層3の上層が開口したレジストパターンを形成し、これをマスクとして、表面保護膜4に開孔5を形成する(図4)。前記開孔5の形成は、酸系のエッチャントによるウェットエッチングにより行うことも可能ではあるが、中間層3への損傷の低減を考慮して、ハロゲン系ガス等を用いたドライエッチングにより行うことが好ましい。

【0053】次に、レジストパターンを除去した後、開孔5により露出した中間層3にマイクロプローブ(図示せず)を接触させ、前記半導体集積回路素子の検査を実施する。検査の結果、不良品であると判断された領域には、適当なマーキングを施し、良品部分と区別できるようにしておく。

【0054】次に、ウェハの状態にある半導体基板1を、半導体集積回路装置の一単位である半導体チップに分割する。分割は、ダイサーを用いてダイシングにより行う。分割された半導体チップは、前記マーキングの有無に応じて選別し、不良品は廃棄もしくは再生利用とし、良品のみを次工程に流す。

【0055】次に、良品選別された半導体チップについて、中間層3の表面を活性化するために、半導体基板1を洗浄する。

【0056】次に、前記半導体基板1を、第1金属層6を形成するためのメッキ浴に浸漬し、開孔5に露出した中間層3の上面にニッケルを形成する。このときのメッキ条件としては、たとえば、金属塩を塩化ニッケルもしくは硫酸ニッケルまたはそれらの混合物、還元剤を時亜リン酸ナトリウム、水素化ホウ素ナトリウムまたはヒドラジンとすることができる。必要に応じてpH調整剤、緩衝剤、錯化剤、促進剤、安定剤および改良材を添加してもよい。また、一例として、pH値は4~6、メッキ浴温度は80℃~100℃とし、メッキ時間は10分程度とすることができる。このときのニッケル膜厚は2μmとなる。

【0057】次に、半導体基板1を、第2金属層7を形成するための別のメッキ浴に浸漬し、前記第1金属層6の上面に金をメッキする(図5)。このときのメッキ条件としては、たとえば、金属塩を塩化金あるいはシアン化金カリウム、還元剤を酒石酸、アルデヒド、次亜リン酸ナトリウム等を用いることができ、必要に応じてpH調整剤等を添加してもよいことは前記ニッケルメッキ浴の場合と同様である。また、一例として、pH値は5~7.5、メッキ浴温度は80℃~100℃とし、メッキ時間は数分程度とすることができる。このときの金膜厚は

0.1μmとなる。

【0058】次に、前記第2金属層7の上面にパンプ8を形成し、その後リフローを行ってパンプ8を溶融し、第1金属層6および第2金属層7からなるパンプ下地金属の一部と合金を形成して密着性を確実なものとした。ここで、パンプ8は、Pb・Sn合金からなるハンダとし、転写パンプ法により形成した。転写パンプ法は、パンプをあらかじめ別基板上に整列させたものを、半導体集積回路素子が形成された半導体基板1にマウントし、はんだリフローしてパンプを転写する方法である。

【0059】上記の製造方法により、図1に示した突起電極がほぼ完成する。

【0060】このような実施の形態の半導体集積回路装置およびその製造方法によれば、以下のような効果を得ることができる。

【0061】(1)パンプ下地金属が形成される領域に中間層3を形成することにより、パンプ下地金属を無電解メッキ法で安定に形成することが可能となる。

【0062】(2)中間層3をタングステン、パンプ下地金属の第1金属層6をニッケルとすることにより、さらに安定に無電解メッキ法を実施することができる。

【0063】(3)パンプ下地金属の第2金属層を金とすることにより、パンプ下地金属をリフロー工程までその表面を変質させることなく安定に保つことができる。

【0064】(4)配線2と中間層3を積層膜として形成した後に同時にエッチングしてパターンングすることにより、製造工程を簡略化することが可能となる。

【0065】(5)パンプ下地金属およびパンプを形成する前に、良品と不良品を電氣的測定による検査により選別し、その後ウェハ状態の基板をダイシングして分断することにより、前記検査により良品とされたチップ状態の半導体基板1にのみパンプ下地金属とパンプの形成処理を施すことが可能となる。これにより製造コストを抑制することができ、また、製造時間の短縮を図ることができる。また、パンプ下地金属およびパンプの形成工程で使用する設備を、半導体ウェハの大口径化に対応して新規導入する必要はなく、製造コストの低減を図ることが可能となる。

【0066】(6)パンプ8を転写パンプ法を用いて形成することにより、半導体基板1がチップ状態となった本実施の形態の場合であっても、比較的容易にパンプの形成処理を実施することが可能となる。

【0067】(実施の形態2)本実施の形態2では中間層3が開孔5の領域を越えて表面保護膜4の上面に一部形成される場合を説明する。

【0068】第6図は、本発明の半導体集積回路装置の実施の形態の一つである突起電極の一例を示した部分断面図である。

【0069】半導体基板1の主面上に、図示しない半導体集積回路素子が形成され、その半導体集積回路素子に



接続される配線2が形成されている。

【0070】前記半導体基板1ならびに配線2を覆って表面保護膜4が形成されており、表面保護膜4の突起電極が形成される部分の一領域には前記配線2と電気的接触を確保するための開孔5が設けられている。

【0071】開孔5が設けられた領域とその周辺の表面保護膜4の上層には中間層3が形成され、その上層にはパンプ下地金属が形成されている。パンプ下地金属は、第1金属層6と第2金属層7とから構成され、パンプ下地金属の上にはパンプ8が形成されている。

【0072】半導体基板1、配線2、中間層3、表面保護膜4、第1金属層6、第2金属層7およびパンプ8の材料的な特徴、物性等は前記実施の形態1に記載したものと同様であるので、本実施の形態2での説明は省略する。

【0073】開孔5の大きさについては、本実施の形態2で前記は実施の形態1と異なり、 $60\mu\text{m}$ よりもさらに小さなものであっても構わない。前記実施の形態1では前記開口部に電気的測定のためのマイクロプローブを接触させる必要があったため、その接触が確実にできる最小の面積として、前記 $60\mu\text{m}$ が必要であった。しかしながら、本実施の形態2では、中間層3を開孔5の周辺の表面保護膜4の上層にも形成させるため、電気的測定のためのマイクロプローブの接触領域は、開孔5が小さな面積であっても十分に広くすることが可能である。開孔5の面積を小さくすることができることにより、集積度向上に伴う配線2の微細化に対応することができ、レイアウトの自由度も増すこととなる。

【0074】次に、本実施の形態2の突起電極の具体的な製造方法の一例を図7～図10を用いて説明する。なお、前記実施の形態1と同様な事項は説明を省略し、本実施の形態2に特徴的な事項を中心に説明する。

【0075】半導体集積回路素子が形成されたウェハ状態の半導体基板1に配線を形成するための、たとえばアルミニウムもしくはアルミニウム合金からなる金属膜をスパッタ法もしくは真空蒸着法で形成し、この金属膜の上層にレジストからなるマスクを形成して金属膜をエッチングし、配線2を形成する(図7)。エッチング等は前記実施の形態1と同様である。

【0076】次に、前記レジストパターンを除去した後、配線2が形成された半導体基板1の全面に、酸化シリコンからなる表面保護膜4を形成し、配線2の上層が開孔したレジストパターンを形成して、これをマスクとし、表面保護膜4に開孔5を形成する(図8)。表面保護膜4の形成方法、開孔5の形成方法等は前記実施の形態1と同様である。

【0077】次に、表面保護膜4が形成された半導体基板1の全面に、スパッタ法によりタングステン膜を形成し、レジストによるマスクを形成して前記タングステン膜をエッチングして中間層3を形成する(図9)。

【0078】次に、レジストパターンを除去した後、前記中間層3にマイクロプローブ(図示せず)を接触させ、前記半導体集積回路素子の検査を実施する。検査の結果、不良品であると判断された領域には、適当なマーキングを施し、良品部分と区別できるようにしておく。

【0079】次に、ウェハの状態にある半導体基板1を、半導体集積回路装置の一単位である半導体チップに分割する。分割は、ダイサーを用いてダイシングにより行う。分割された半導体チップは、前記マーキングの有無に応じて選別し、不良品は廃棄もしくは再生利用とし、良品のみを次工程に流す。

【0080】次に、良品選別された半導体チップについて、中間層3の表面を活性化するために、半導体基板1を洗浄する。

【0081】次に、前記半導体基板1を、前記実施の形態1に記載したメッキ方法と同様の方法で処理し、中間層3の上層に第1金属層6と第2金属層7を形成する(図10)。

【0082】次に、前記第2金属層7の上層に、前記実施の形態1と同様の方法で、パンプ8を形成し、その後リフローを行ってパンプ8を溶融し、第1金属層6および第2金属層7からなるパンプ下地金属の一部と合金を形成する。これにより、パンプ8はパンプ下地金属と確実に密着し、図6に示した突起電極がほぼ完成する。

【0083】このような実施の形態の半導体集積回路装置およびその製造方法によれば、前記実施の形態1に記載した効果の他に、以下のような効果を得ることができる。

【0084】(1) 中間層3を開孔5とその周辺の表面保護膜4の上層に形成することにより、電気的測定時のマイクロプローブの接触に必要な面積を確保しつつ開孔5の面積を小さくすることが可能となる。これにより、集積度向上に伴う微細化に対処することが可能となり、また、レイアウトの自由度を増すことができる。

【0085】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0086】たとえば、前記実施の形態では、パンプ8を半導体基板1の側に転写パンプ法で形成した場合を説明したが、半導体基板1の側にはパンプ下地金属で構成される電極のみを有し、パッケージ基板側にパンプを形成しても構わない。これら半導体基板1とパッケージ基板は、その後リフロー処理によりCCB接続されることとなり、いずれの基板にパンプが形成されていても本発明の本質に影響はない。

【0087】また、前記実施の形態では、配線2をアルミニウムもしくはその合金とした場合について説明したが、配線2はそれら材料に限られるのではなく、銅等

の導電体、シリコン等の半導体であってもよい。さらに、たとえば、配線2の上層および下層またはそのどちらか一方にタングステン、モリブデン、クロム等のバリア層を積層化した、積層構造の配線であってもよい。

【0088】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0089】(1) パンプ下地金属を無電解メッキ法で安定に形成し、その表面を変質させることなく安定に保つことが可能となる。

【0090】(2) 製造工程の簡略化、無駄な処理の合理化、新規設備投資の抑制が可能となり、製造コストを抑制と製造時間の短縮を図ることができる。

【0091】(3) 集積度向上に伴う配線寸法の微細化に対処することができ、設計レイアウトの自由度を増すことができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の実施の形態の一つである突起電極の一例を示した部分断面図である。

【図2】本発明の半導体集積回路装置の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【図3】本発明の半導体集積回路装置の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【図4】本発明の半導体集積回路装置の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【図5】本発明の半導体集積回路装置の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【図6】本発明の半導体集積回路装置の他の実施の形態の一つである突起電極の一例を示した部分断面図である。

【図7】本発明の半導体集積回路装置の他の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【図8】本発明の半導体集積回路装置の他の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【図9】本発明の半導体集積回路装置の他の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

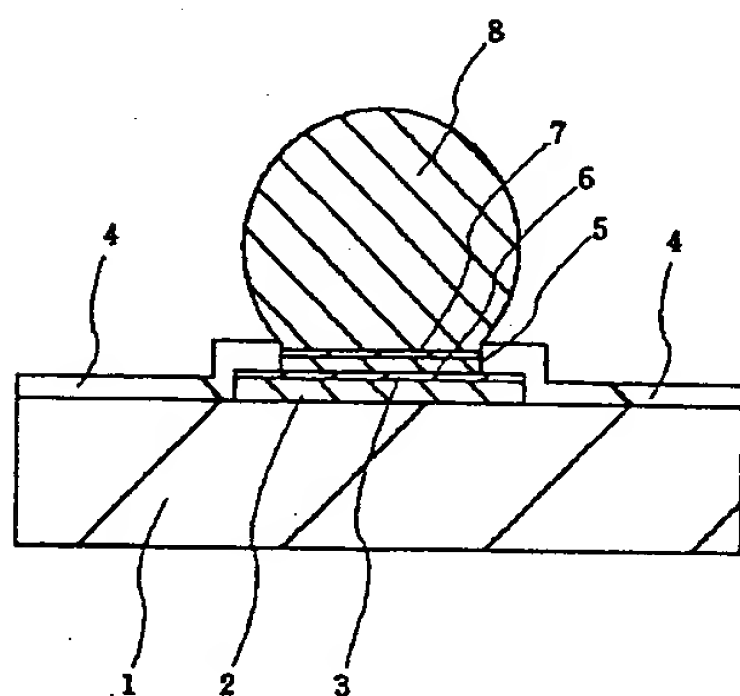
【図10】本発明の半導体集積回路装置の他の実施の形態の一つである突起電極の製造工程の一例を示した部分断面図である。

【符号の説明】

- 1 半導体基板
- 2 配線
- 3 中間層
- 4 表面保護膜
- 5 開孔
- 6 第1金属層
- 7 第2金属層
- 8 パンプ
- 10 金属膜
- 11 薄膜

【図1】

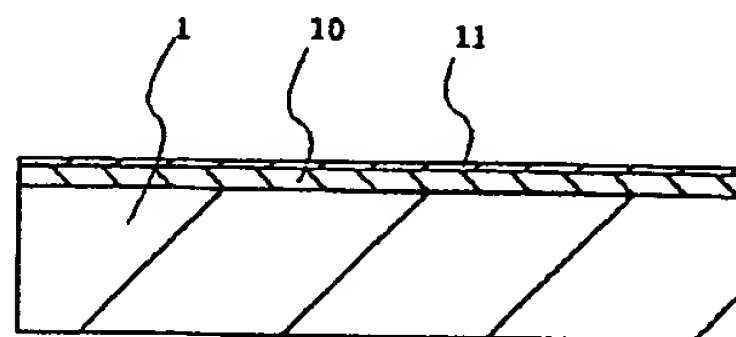
図 1



- |          |          |
|----------|----------|
| 1: 半導体基板 | 5: 開孔    |
| 2: 配線    | 6: 第1金属層 |
| 3: 中間層   | 7: 第2金属層 |
| 4: 表面保護層 | 8: パンプ   |

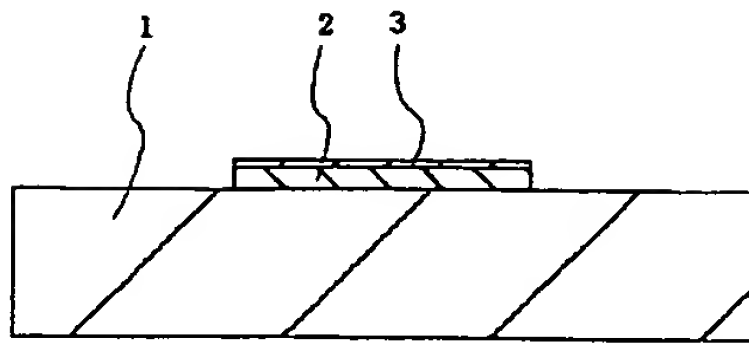
【図2】

図 2



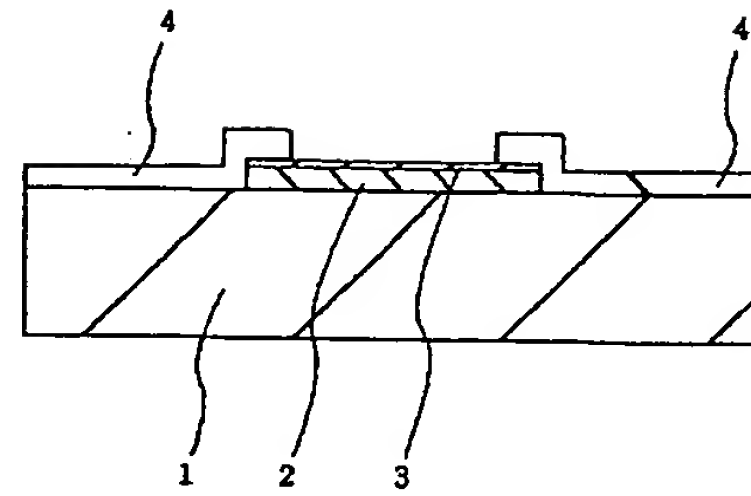
【図3】

図 3



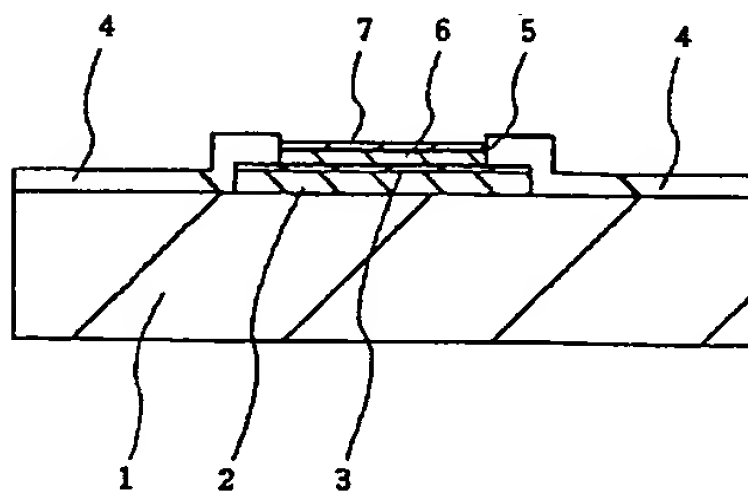
【図4】

図 4



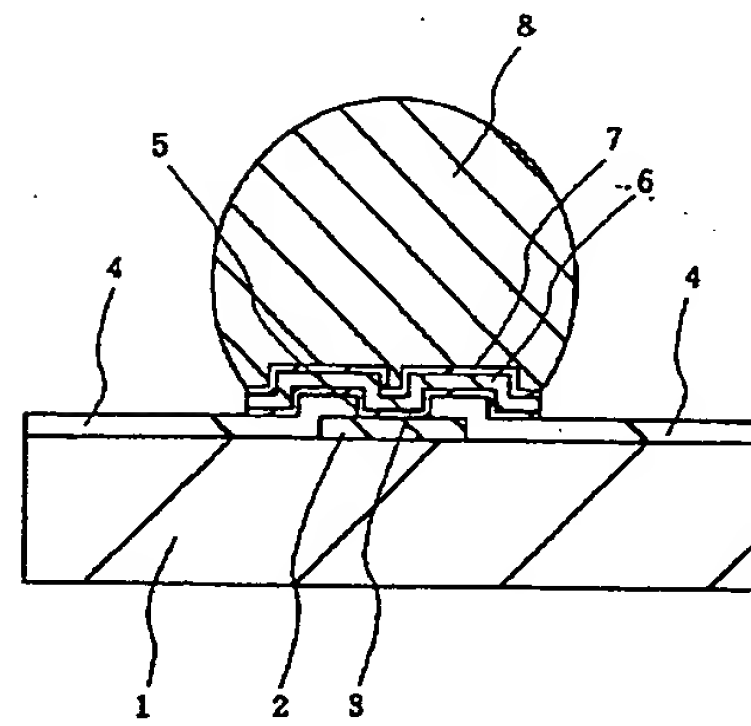
【図5】

図 5



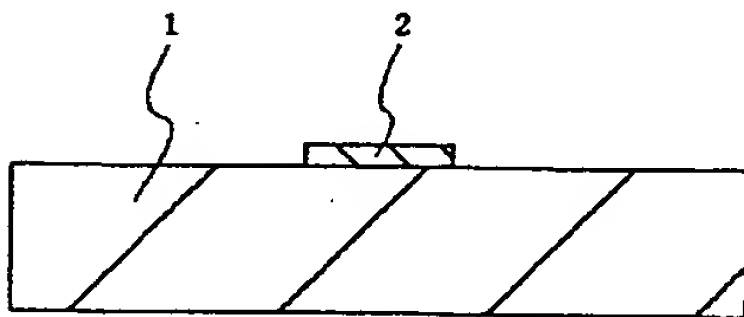
【図6】

図 6



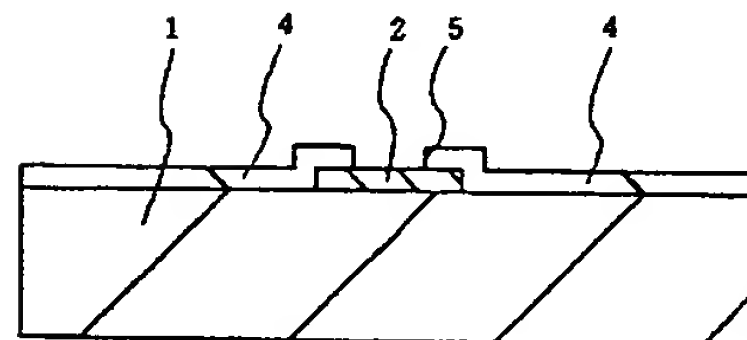
【図7】

図 7



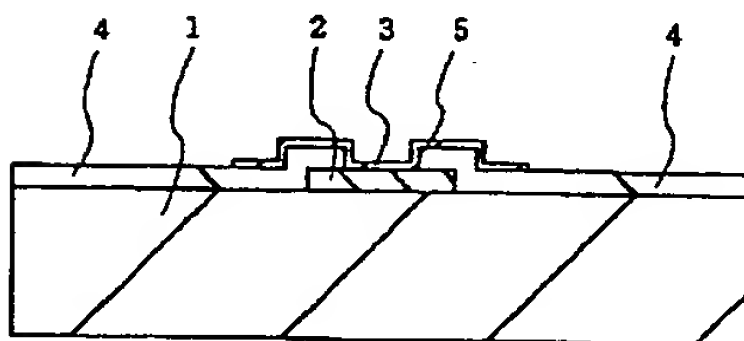
【図8】

図 8



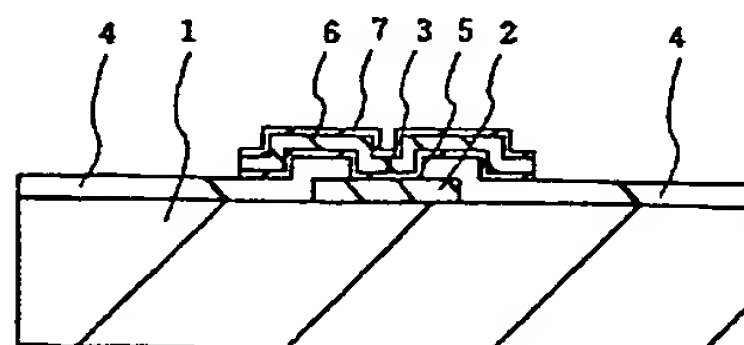
【図9】

図 9



【図10】

図 10



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/92

6 0 3 D

6 0 4 M